

# HM53462シリーズ

65,536-word×4-bit Multi Port CMOS Dynamic RAM (with Logic operation mode)

¥1500

HM53462は、64kワード×4ビットダイナミックRAMポートおよび256ワード×4ビットシリアルアクセスメモリ(SAM)ポートを搭載した262,144ビットマルチポートメモリです。SAMポートは256ワード×4ビットシリアルリード/ライトアクセスコントロールゲートを通して、1,024ビットデータレジスタと接続しています。リードデータ転送サイクルでは、メモリアルデータはRAMポートの選択ワード線からデータレジスタに転送されます。ライトデータ転送サイクルでは、シリアルデータレジスタからメモリアルデータが転送され、また、シリアル出力ピン(SI/O)を入力モードにします。さらに擬似データ転送サイクルでは、SI/Oを入力モードにし、RAM-SAM間のデータ転送は行いません。

RAMポートは従来の動作モードに加え、新しくライトマスク機能を適用し、4つのデータビットから任意のビットが指定可能となりました。また、RAMポートには論理演算モードを追加しました。これにより、従来の3ステップ(Read, Logic operation, Write)必要だったメモリアルデータと外部データの論理演算を1ステップで行うことが可能となりました。

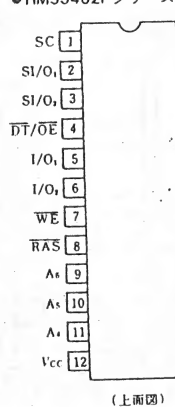
また、2μm CMOS プロセス技術の採用により、高速シリアルアクセス動作、低消費電力が実現しました。入力および出力はクロックを含めてすべてTTLとコンパチブルです。

## ■特長

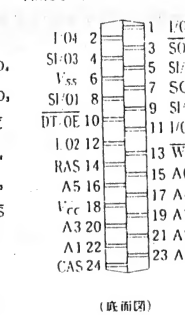
- マルチポート構成です。  
RAM: 64kワード×4ビット  
SAM: 256ワード×4ビット
- 400mil 24ピンプラスチックDIPおよび24ピンプラスチックZIP
- 2層ポリシリコン/ポリサイドn-ウェルCMOSプロセス
- 5V単一電源(±10%)
- 低消費電力 動作時 RAM: 380mW(max.)  
SAM: 220mW(max.)  
スタンバイ時 40mW(max.)
- アクセス時間 RAM: 100ns/120ns/150ns  
SAM: 40ns/40ns/60ns
- サイクル時間  
ランダムリード/ライトサイクル時間(RAM)  
190ns/220ns/250ns  
シリアルリード/ライトサイクル時間(SAM)  
40ns/40ns/60ns
- 入出力はTTLとコンパチブルです。
- リフレッシュ形式 256リフレッシュサイクル/4ms
- リフレッシュ機能 RAS only refresh  
CAS before RAS refresh  
Hidden refresh
- データ転送動作(RAM⇄SAM)
- 高速シリアルアクセス動作はRAMポートと非同期です。  
(データ転送サイクルを除く。)
- リアルタイムリード転送が可能です。

## ■ピン配置

### ●HM53462Pシリーズ



### ●HM53462ZPシリーズ



## ■ピン説明

記号	ピン名称	記号	ピン名称
A0-A7	アドレス入力	WE	ライトイネーブル
I/O1-I/O4	RAMポートデータ入出力	DT/OE	データ転送/出力イネーブル
SI/O1-SI/O4	SAMポートデータ入出力	SOE	SAMポートイネーブル
RAS	ローアドレスストロープ	Vcc	電源
CAS	コラムアドレスストロープ	Vss	接地
SC	シリアルクロック		



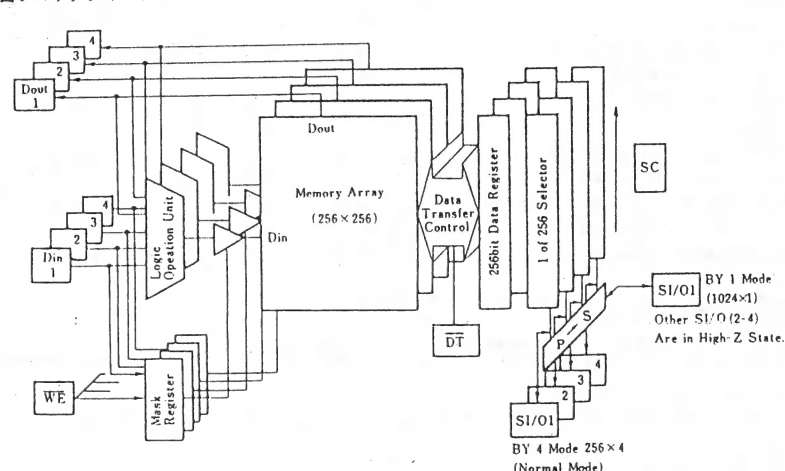
250

- ライトマスクモードが可能です。
- Din-Dout間の論理演算が可能です。
- SAM構成の変換が可能です。(1,024ワード×1ビット)

## ■製品ラインアップ

製品名	アクセス時間	パッケージ
HM53462P-10	100ns	400mil
HM53462P-12	120ns	24ピン
HM53462P-15	150ns	プラスチックDIP
HM53462ZP-10	100ns	24ピン
HM53462ZP-12	120ns	プラスチックZIP
HM53462ZP-15	150ns	

## ■ブロックダイアグラム



## ■絶対最大定格

項目	記号	定格値	単位
端子電圧 <sup>1)</sup>	V <sub>T</sub>	-1.0~+7.0	V
電源電圧 <sup>1)</sup>	V <sub>CC</sub>	-0.5~+7.0	V
出力短絡電流	I <sub>OL</sub>	50	mA
許容損失	P <sub>T</sub>	1.0	W
動作温度	T <sub>OP</sub>	0~+70	°C
保存温度	T <sub>STG</sub>	-55~+125	°C

注) 1) V<sub>T</sub>に付して

## ■推奨動作条件 (T<sub>a</sub>=0~+70°C)

項目	記号	min.	typ.	max.	単位
電源電圧	V <sub>CC</sub>	4.5	5.0	5.5	V
入力電圧	V <sub>IH</sub>	2.4	—	6.5	V
	V <sub>IL</sub>	-1.0	—	0.8	V

注) 全項目V<sub>CC</sub>に対しての許容値



251

## HM53462シリーズ

### ■DC電気的特性 (T<sub>a</sub>=0~+70°C, V<sub>CC</sub>=5.0V±10%, V<sub>SS</sub>=0V)

RAMポート	記号	SAMポート スタンバイ時	動作時	HM53462-10	HM53462-12	HM53462-15	単位
動作電流 RAS, CAS Cycling, I <sub>AC</sub> =min.	I <sub>CC1</sub>	○	×	70	60	50	mA
	I <sub>CC7</sub>	×	○	110	100	80	mA
スタンバイ電流 RAS, CAS=V <sub>IN</sub>	I <sub>CC2</sub>	○	×	7	7	7	mA
	I <sub>CC8</sub>	×	○	40	40	30	mA
RASオンリ リフレッシュ電流 RAS Cycling, CAS=V <sub>IN</sub> , I <sub>AC</sub> =min.	I <sub>CC3</sub>	○	×	60	50	40	mA
	I <sub>CC9</sub>	×	○	100	90	70	mA
ページモード電流 CAS Cycling, RAS=V <sub>IL</sub> , I <sub>PC</sub> =min.	I <sub>CC4</sub>	○	×	50	40	35	mA
	I <sub>CC10</sub>	×	○	90	80	65	mA
CASビフォアRAS リフレッシュ電流 RAS=Cycling, I <sub>AC</sub> =min.	I <sub>CC5</sub>	○	×	60	50	40	mA
	I <sub>CC11</sub>	×	○	100	90	70	mA
データ転送電流 RAS, CAS Cycling, I <sub>AC</sub> =min.	I <sub>CC6</sub>	○	×	75	65	55	mA
	I <sub>CC12</sub>	×	○	115	105	85	mA

項目	記号	min.	max.	単位
入力リーク電流	I <sub>LI</sub>	-10	10	μA
出力リーク電流	I <sub>LO</sub>	-10	10	μA
出力端子電圧(I <sub>OH</sub> =-2mA)	V <sub>OH</sub>	2.4	—	V
出力端子電圧(I <sub>OL</sub> =4.2mA)	V <sub>OL</sub>	—	0.4	V

## ■容量

項目	記号	min.	typ.	max.	単位
アドレス	C <sub>R1</sub>	—	—	5	pF
クロック	C <sub>R2</sub>	—	—	5	pF
I/O, SI/O	C <sub>R3</sub>	—	—	7	pF

## ■AC特性 (T<sub>a</sub>=0~+70°C, V<sub>CC</sub>=5V±10%, V<sub>SS</sub>=0V) (1), (10), (11)

項目	記号	HM53462-10	HM53462-12	HM53462-15	単位	注
ランダムリード・ライトサイクル時間	I <sub>AC</sub>	190	—	220	ns	
リードモディファイライトサイクル時間	I <sub>AWC</sub>	260	—	300	ns	
ページモードサイクル時間	I <sub>PC</sub>	70	—	85	ns	
RASからのアクセス時間	I <sub>ARC</sub>	—	100	—	150	ns 2,3
CASからのアクセス時間	I <sub>ACC</sub>	—	50	—	60	ns 3,4
出力バッファターンオフ遅延(CASに対して)	I <sub>OFF1</sub>	0	25	0	30	ns 5
トランジション時間(上昇/下降)	I <sub>T</sub>	3	50	3	50	ns 6
RASプリチャージ時間	I <sub>AP</sub>	80	—	90	—	ns

(注: 1)に付して)



252

## HM53462シリーズ

項目	記号	HM53462-10	HM53462-12	HM53462-15	単位	注
RASパルス幅	I <sub>ARS</sub>	100	10,000	120	10,000	ns
CASパルス幅	I <sub>CAS</sub>	50	10,000	60	10,000	ns
RAS・CAS遅延時間	I <sub>ACO</sub>	25	50	25	60	ns 7
RASホールド時間	I <sub>RSW</sub>	50	—	60	—	ns
CASホールド時間	I <sub>CSW</sub>	100	—	120	—	ns
CAS・RASプリチャージ時間	I <sub>CRP</sub>	10	—	10	—	ns
ロウアドレスセットアップ時間	I <sub>ASA</sub>	0	—	0	—	ns
ロウアドレスホールド時間	I <sub>RAH</sub>	15	—	15	—	ns
コラムアドレスセットアップ時間	I <sub>ASC</sub>	0	—	0	—	ns
コラムアドレスホールド時間	I <sub>CAH</sub>	20	—	20	—	ns
ライトコマンドセットアップ時間	I <sub>WCS</sub>	0	—	0	—	ns 8
ライトコマンドホールド時間	I <sub>WCH</sub>	25	—	25	—	ns
ライトコマンドパルス幅	I <sub>WP</sub>	15	—	20	—	ns
ライトコマンド・RASリード時間	I <sub>RWL</sub>	35	—	40	—	ns
ライトコマンド・CASリード時間	I <sub>CWL</sub>	35	—	40	—	ns
データ入力セットアップ時間	I <sub>DS</sub>	0	—	0	—	ns 9
データ入力ホールド時間	I <sub>DH</sub>	25	—	25	—	ns 8,9
リードコマンドセットアップ時間	I <sub>RCS</sub>	0	—	0	—	ns
リードコマンドホールド時間	I <sub>RCH</sub>	0	—	0	—	ns
リードコマンドホールド時間(RASに対して)	I <sub>RRH</sub>	10	—	10	—	ns
リフレッシュ周波数	I <sub>REF</sub>	—	4	—	4	ms
RASパルス幅(リードモディファイライトサイクル)	I <sub>RWS</sub>	170	10000	200	10000	ns
CAS・WE遅延	I <sub>CWD</sub>	85	—	100	—	ns 8
CASセットアップ時間(CASビフォアRASリフレッシュ)	I <sub>CSR</sub>	10	—	10	—	ns
CASホールド時間(CASビフォアRASリフレッシュ)	I <sub>CHW</sub>	20	—	25	—	ns
RASプリチャージ・CASホールド時間	I <sub>RPC</sub>	10	—	10	—	ns
CASプリチャージ時間	I <sub>CP</sub>	10	—	15	—	ns
OEからのアクセス時間	I <sub>OAC</sub>	—	30	—	35	ns
出力バッファターンオフ遅延(OEに対して)	I <sub>OFF2</sub>	0	25	0	30	ns
OE・データ入力遅延時間	I <sub>ODD</sub>	25	—	30	—	ns
OEホールド時間(WEに対して)	I <sub>OEN</sub>	10	—	15	—	ns
データ入力・CAS遅延時間	I <sub>OZC</sub>	0	—	0	—	ns
データ入力・OE遅延時間	I <sub>OZO</sub>	0	—	0	—	ns
OE・RAS遅延時間	I <sub>ORD</sub>	35	—	40	—	ns
シリアルクロックサイクル時間	I <sub>SCC</sub>	40	—	40	—	ns
SCからのアクセス時間	I <sub>SCA</sub>	—	40	—	40	ns 10
SOEからのアクセス時間	I <sub>SEA</sub>	—	25	—	30	ns 10
SCパルス幅	I <sub>SC</sub>	10	—	10	—	ns
SCプリチャージ幅	I <sub>SCP</sub>	10	—	10	—	ns
シリアルデータ出力ホールド時間(SCハイレベル時)	I <sub>SON</sub>	10	—	10	—	ns
シリアル出力バッファターンオフ遅延(SOEに対して)	I <sub>SEZ</sub>	0	25	0	25	ns
シリアルデータ入力セットアップ時間	I <sub>SIS</sub>	0	—	0	—	ns
シリアルデータ入力ホールド時間	I <sub>SIN</sub>	15	—	20	—	ns
DT・RASセットアップ時間	I <sub>DFS</sub>	0	—	0	—	ns
DT・RASホールド時間(リードデータ転送サイクル)	I <sub>RDN</sub>	80	—	90	—	ns

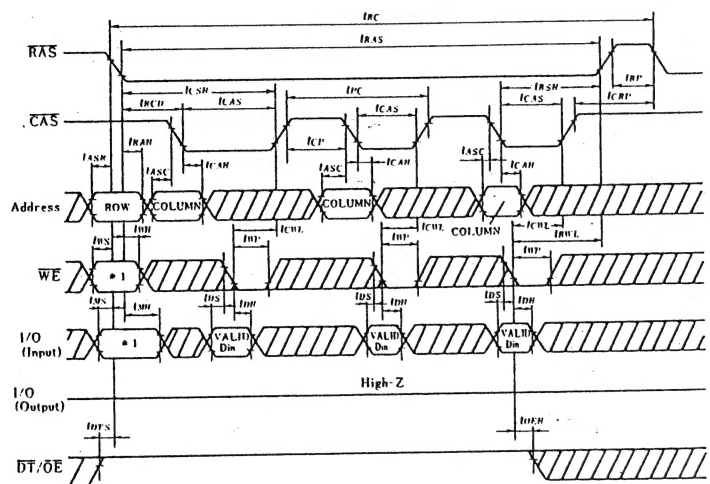
(注: 1)に付して)



253

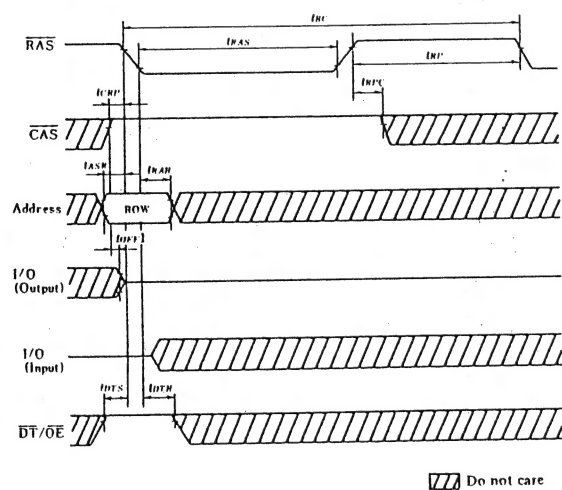


## ●ページモードライトサイクル (ディレイドライト)



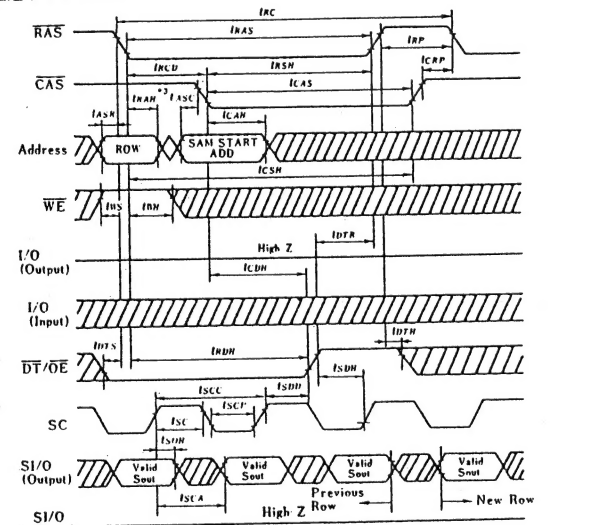
※1) WEがハイレベルの場合、I/Oポート4のデータはすべてメモリーに書き込まれる。  
WEがローレベルの場合、RASの立ち上がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。

## ●RASオンリフレッシュサイクル



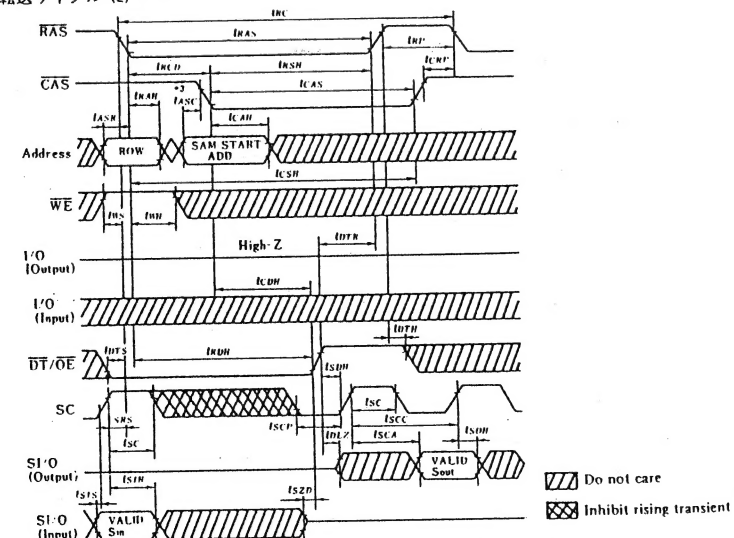
Do not care

## ●リードデータ転送サイクル (1) \*1, \*2



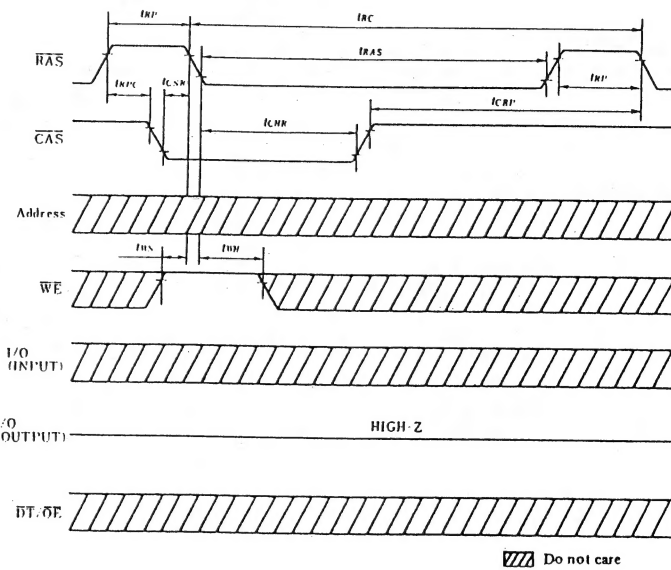
※1) 先行するデータ転送サイクルがリード転送サイクルである場合。  
※2) SOEはローレベルとする。  
※3) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。

## ●リードデータ転送サイクル (2) \*1, \*2



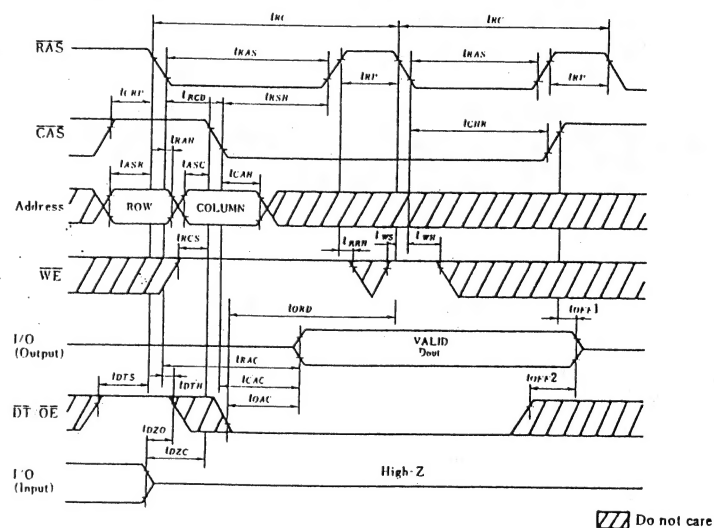
※1) 先行するデータ転送サイクルがライトデータ転送サイクル、または、Nビットデータ転送サイクルである場合。  
※2) SOEはローレベルとする。  
※3) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。

## ●CASビフォアRASリフレッシュサイクル



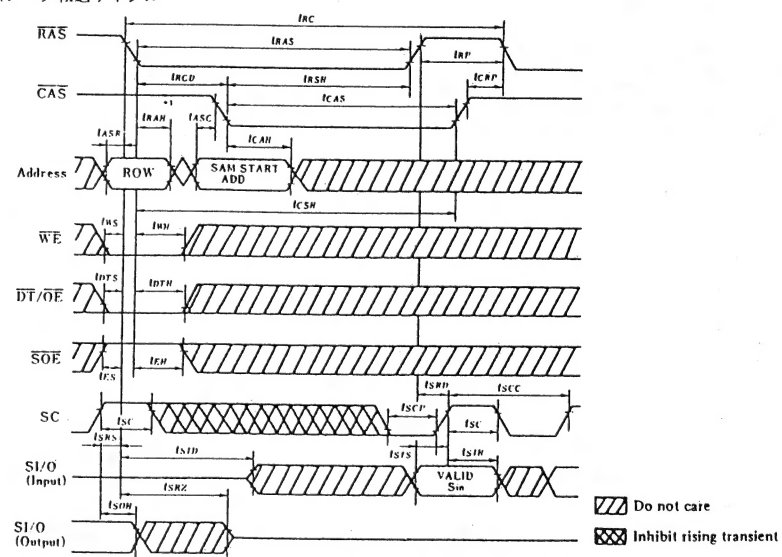
Do not care

## ●ヒドンリフレッシュサイクル



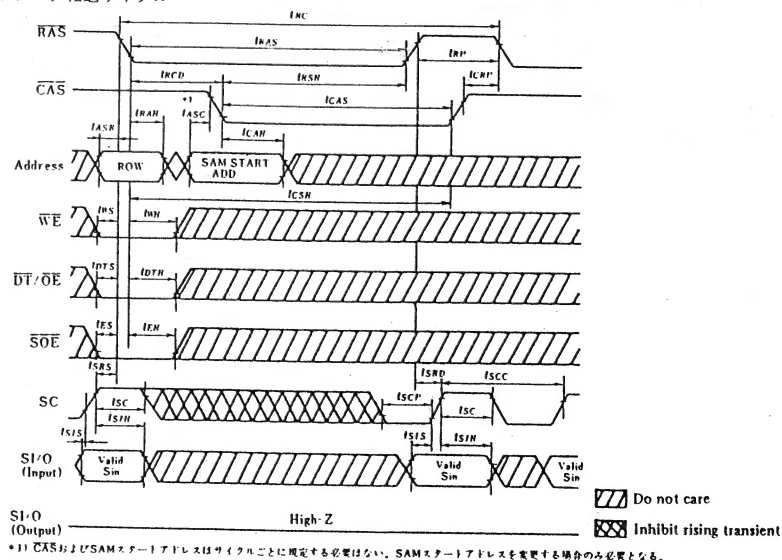
Do not care

## ●擬似データ転送サイクル



※1) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。

## ●ライトデータ転送サイクル



※1) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。

## ■ 解 説

### 1. 論理演算モード

HM53462は、論理演算ユニットを内蔵し、グラフィックプロセス単純化を実現しました。論理は論理演算セット/リセットサイクルで決定され、このサイクルに引き続いてのライトサイクルで演算が実行されます。論理演算モードでは、リードモディファイライトサイクルが内部で行われ、メモリセルデータをDinとそれまでのメモリセルデータ間の論理演算によって新しいデータに転換します。

### 2. 論理演算セット/リセットサイクル

RAS降下時にCASおよびWEがロウレベルに移行していると、論理演算セット/リセットサイクルが開始します(図1)。論理コードおよびマスクされるビットは、それぞれRASの立ち上がりエッジでのAx0-状態とI/Oピン1-4状態で決定します。また、このサイクルにおいてCASピフォRASリフレッシュ機能も実行されます。従来のCASピフォRASリフレッシュを実行する場合は、RASロウレベル時にWEをハイレベルにする必要があります。

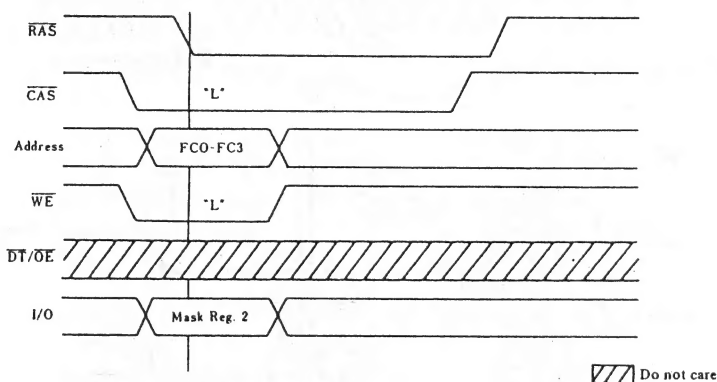


図1. 論理演算セット/リセットサイクル

### 2.1 論理コード

表1に論理コードを示します。電源投入後、論理コードは“THROUGH”に初期化されます。論理コードが(Ax1, Ax2, Ax3, Ax0) = (0, 0, 1, 1)の場合、SAM構成は内部の平行シリアル変換器を使って1,024ワード×1ビットに変換します(図2)。SAM構成が変化した場合、データ転送サイクルを行い、SAMセクタを初期化する必要があります。

### 2.2 ライトマスク機能

HM53462は2種類のマスクレジスタ(レジスタ1, レジスタ2)を内蔵しています。ライトサイクル時 RASの立ち上がりエッジでWEがロウレベルに移行していると、レジスタ1がセットされ、このサイクルの間のみマスクデータは有効となります。一方、レジスタ2は論理演算セット/リセットサイクルにおけるI/Oピンレベルにより決定し、マスクデータは次の論理演算セット/リセットサイクルまで有効です。もし、レジスタ1が論理演算モード時にセットされたならば、2つのマスクデータが存在可能となりますが、その場合はマスクデータとしてレジスタ1のデータが選択され、論理はこのサイクルの間のみ“THROUGH”となります(図3)。

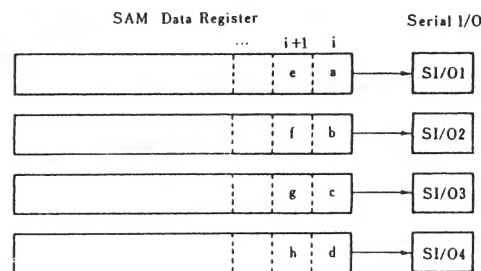
表1. 論理コード (FC0-3は論理演算セットサイクルにおいてAx0-Ax3とする。)

FC3	FC2	FC1	FC0	LOGIC	
				Symbol	Write Data
0	0	0	0	0	Zero
0	0	0	1	AND1	$D_i \cdot M_i$
0	0	1	0	AND2	$\bar{D}_i \cdot M_i$
0	0	1	1	X4-X1	—
0	1	0	0	AND3	$D_i \cdot \bar{M}_i$
0	1	0	1	THROUGH	$D_i$
0	1	1	0	EOR	$\bar{D}_i \cdot M_i + D_i \cdot \bar{M}_i$
0	1	1	1	OR1	$D_i + M_i$
1	0	0	0	NOR	$\bar{D}_i \cdot \bar{M}_i$
1	0	0	1	ENOR	$D_i \cdot M_i + \bar{D}_i \cdot \bar{M}_i$
1	0	1	0	INV1	$\bar{D}_i$
1	0	1	1	OR2	$\bar{D}_i + M_i$
1	1	0	0	INV2	$\bar{M}_i$
1	1	0	1	OR3	$D_i + \bar{M}_i$
1	1	1	0	NAND	$\bar{D}_i \cdot \bar{M}_i$
1	1	1	1	1	ONE

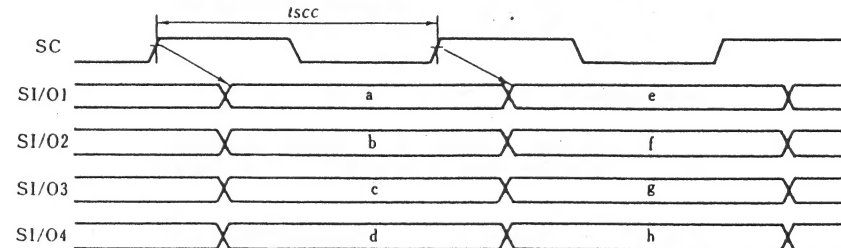
→SAM構成は1,024ワード×1ビットに変換する。

→論理演算モードリセット

Di: 外部Data  
Mi: メモリセルデータ



1)×4モード (SAM構成: 256×4)



## HM53462シリーズ

### 2)×1モード (SAM構成: 1,024×1)

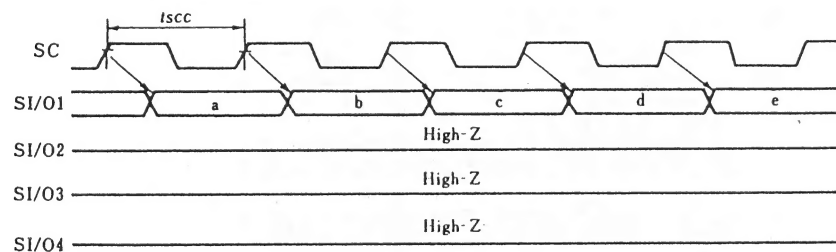


図2. SAMデータのシフト方法

	Logic operation set/reset cycle	Write cycle	Write cycle	Write cycle	Write cycle
RAS					
CAS	"L"	"H"	"H"	"H"	"H"
WE	"L"	"H"	"L"	"H"	"H"
I/O1		"0" Write	Masked	"1" Write	"0" Write
I/O2		Masked	"1" Write	Masked	Masked
I/O3		Masked	"0" Write	Masked	Masked
I/O4		"1" Write	Masked	"0" Write	"1" Write
Logic	—	AND1	THROUGH	AND1	AND1
	Mask reg.2 is set I/O2,3:Masked Assume that the logic is set to "AND1".		Mask reg.1 is set, and valid only in this cycle. I/O1,4:Masked		

図3. 論理演算モード